

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

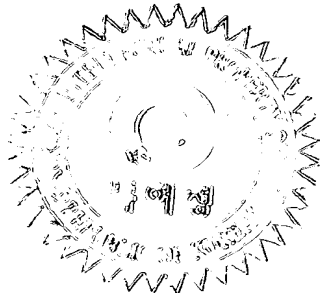
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0044084  
Application Number

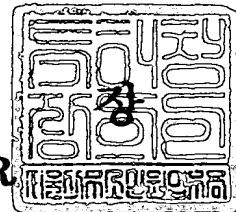
출원년월일 : 2002년 07월 26일  
Date of Application JUL 26, 2002

출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003      년      07      월      18      일

특      허      청  
COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0002  
**【제출일자】** 2002.07.26  
**【발명의 명칭】** 알에프 반도체소자 제조방법  
**【발명의 영문명칭】** Method for fabricating RF semiconductor device  
**【출원인】**  
**【명칭】** 동부전자 주식회사  
**【출원인코드】** 1-1998-106725-7  
**【대리인】**  
**【성명】** 강성배  
**【대리인코드】** 9-1999-000101-3  
**【포괄위임등록번호】** 2001-050901-4  
**【발명자】**  
**【성명의 국문표기】** 이용근  
**【성명의 영문표기】** LEE, Yong Geun  
**【주민등록번호】** 680301-1890111  
**【우편번호】** 369-904  
**【주소】** 충청북도 음성군 금왕읍 무극리 두진 아파트 101동 1201호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)  
**【수수료】**  
**【기본출원료】** 12 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 2 항 173,000 원  
**【합계】** 202,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로, 본 발명에 따른 RF 반도체 소자의 제조방법은, 반도체기판내에 활성영역과 소자분리영역을 한정하는 트렌치 소자분리막을 형성하는 단계; 상기 반도체기판의 활성영역내에 게이트라인을 형성 하는 단계; 상기 게이트 라인을 포함한 반도체기판상에 층간절연막을 형성하는 단계 ; 상기 층간절연막내에 콘택홀을 형성하는 단계; 상기 콘택홀내에 콘택플러그를 형성하는 단계; 및 상기 콘택 플러그와 접촉하는 도전층패턴을 형성하는 단계를 포함하여 구성되며, 게이트와 기판간에 존재하는 기생 캐패시터와 게이트저항을 동시에 줄일 수 있는 것이다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

알에프 반도체소자 제조방법 {Method for fabricating RF semiconductor device}

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 RF 반도체소자의 제조방법을 설명하기 위한 소자의 레이아웃도.

도 2a 및 도 2b는 종래기술에 따른 RF 반도체소자의 제조방법을 설명하기 위한 공정단면도로서, 도 2a는 도1의 II a-II a선에 따른 단면도이고, 도 2b는 II b -II b선에 따른 단면도.

도 3은 본 발명에 따른 RF 반도체소자의 제조방법을 설명하기 위한 소자의 레이아웃도.

도 4a 및 도 4b는 본 발명에 따른 RF 반도체소자의 제조방법을 설명하기 위한 공정단면도로서, 도 4a는 도1의 IVa-IVa선에 따른 단면도이고, 도 4b는 IVb -IVb선에 따른 단면도.

**[도면부호의설명]**

31 : 반도체기판      33 : 트렌치소자분리막

35 : 게이트라인      37 : 층간절연막

39 : 콘택홀      41 : 콘택플러그

43 : 도전층패턴

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게는 기생캐패시터와 게이트저항을 줄이기 위한 RF 반도체소자의 제조방법에 관한 것이다.
- <11> 반도체소자중에서 RF 소자들로는 트랜지스터, 인덕터, 캐패시터, 버랙터 등이 주로 쓰인다.
- <12> RF 소자를 원가가 저렴한 실리콘으로 제작하려는 움직임이 최근에 두드러진다. 그러나, 상기 소자들을 실리콘에서 제조하면 소자특성에 많은 제약이 따르며, 특성 저하가 초래된다.
- <13> 특히, MOSFET는 고주파에서 동작하는 RF 회로에 적용하려면 동작주파수( $F_t$ ,  $F_{max}$ )를 증가시키는 것이 필수적이다.
- <14> MOS FET 의 이들 동작주파수를 결정하는 요인들은 게이트와 기판간에 존재하는 기생 캐패시턴스( $C_{gb}$ )와 게이트라인의 저항등이다.
- <15> 반도체제조공정중 RF용 MOSFET를 제조하는데 있어서 구조적으로 큰 전류 즉, 큰 GM을 요구하게 된다. 이는 필수적으로 게이트폭(gate width)을 늘릴 수밖에 없다.
- <16> 이러한 관점에서, 종래기술에 따른 RF 반도체소자의 제조방법을 도 1 및 도 2를 참조하여 설명하면 다음과 같다.
- <17> 도 1은 종래기술에 따른 RF 반도체소자의 제조방법을 설명하기 위한 소자의 레이아웃도이다.

- <18> 도 2a 및 도 2b는 종래기술에 따른 RF 반도체소자의 제조방법을 설명하기 위한 공정단면도로서, 도 2a는 도1의 IIa-IIa선에 따른 단면도이고, 도 2b는 IIb-IIb선에 따른 단면도이다.
- <19> 종래기술에 따른 RF 반도체소자의 레이아웃도에 대해 설명하면, 도 1에 도시된 바와같이, 활성영역(10)상에 게이트라인(15)이 상하로 길게 연장되어 형성되어 있고, 상기 게이트라인(15)사이에는 일정 간격을 두고 다수개의 콘택홀(19)이 형성되어 있다. 여기서, 상기 게이트라인(15)의 일부분은, 도 1의 A와 같이, 활성영역(10)을 넘어 소자분리 영역상에 걸쳐 형성되어 있다. 또한, 소자분리영역상에 걸쳐 형성된 게이트라인(15)부분 아래에도 콘택홀(19)이 형성되어 있다.
- <20> 한편, 종래기술에 따른 RF 반도체소자의 제조방법은, 도 2a에 도시된 바와같이, 반도체기판(11)내에 트렌치소자분리막(13)을 형성한후 반도체기판(11)상에 게이트라인(15)을 형성한다.
- <21> 그다음, 상기 게이트라인(15)을 포함한 반도체기판(11)상에 층간절연막(17)을 형성한후 이를 선택적으로 패터닝하여 상기 반도체기판(11)과 게이트라인(15)을 노출시키는 콘택홀(19)을 형성한다.
- <22> 이어서, 상기 콘택홀(19)을 포함한 층간절연막(17)상에 도전성 물질층을 증착한후 이를 평탄화시켜 콘택플러그(21)를 형성한다.
- <23> 그다음, 상기 전체 구조의 상면에 도전성 물질층을 증착한후 이를 선택적으로 패터닝하여 상기 콘택플러그(21)에 접촉하는 도전층패턴(23)을 형성한다.

<24> 한편, 도 2b에 도시된 바와같이, 상기 게이트라인(15)이 상기 활성영역(10)을 넘어 소자분리막(13)까지 걸쳐 형성되어 있다.

**【발명이 이루고자 하는 기술적 과제】**

<25> 종래 대부분의 RF용 MOSFET는 큰 폭의 게이트를 사용하게 되는데, 이럴 경우 도 1 및 도 2a에서와 같이 소자분리영역상에 콘택을 위한 게이트폴리의 프린지(fringe)가 길게 나오게 된다.

<26> 또한, 이런 구조에서, 도 2b에 도시된 바와같이, 소자분리막과 게이트 폴리가 중첩되는 부분이 많아 게이트 폴리와 기판간에 "C"와 같은 기생 캐패시터(Cgb)성분이 커지게 된다.

<27> 따라서, RF MOSFET의 중요 매개변수중의 하나인 동작주파수( $F_t$ )와 기생캐패시터간에는 함수관계가 있으므로  $F_t$ 에 직접적인 영향을 미친다. 특히, 폭을 키우기 위해 게이트 핑거(finger)수를 수개 ~ 수십개로 늘리게 되는데, 이러한 경우 Cgb는 N배가 되어 더욱 커지게 된다.

<28> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 게이트와 기판간에 존재하는 기생 캐패시터와 게이트저항을 동시에 줄일 수 있는 RF 반도체소자의 제조방법을 제공함에 그 목적이 있다.

**【발명의 구성 및 작용】**

<29> 상기 목적을 달성하기 위한 본 발명에 따른 RF 반도체소자의 제조방법은, 반도체기판내에 활성영역과 소자분리영역을 한정하는 트렌치소자분리막을 형성하는 단계; 상기 반도체기판의 활성영역내에 게이트라인을 형성하는 단계; 상기 게이트 라인을 포함한 반도체

기관상에 층간절연막을 형성하는 단계; 상기 층간절연막내에 콘택홀을 형성하는 단계;  
상기 콘택홀내에 콘택플러그를 형성하는 단계; 및 상기 콘택 플러그와 접촉하는 도전층  
패턴을 형성하는 단계를 포함하여 구성되는 것을 특징으로한다.

<30> (실시예)

<31> 이하, 본 발명에 따른 RF 반도체소자의 제조방법을 첨부된 도면을 참조하여 상세히  
설명한다.

<32> 도 3은 본 발명에 따른 RF 반도체소자의 제조방법을 설명하기 위한 소자의 레이아  
아웃도이다.

<33> 도 4a 및 도 4b는 본 발명에 따른 RF 반도체소자의 제조방법을 설명하기 위한 공정  
단면도로서, 도 4a는 도1의 IVa-IVa선에 따른 단면도이고, 도 4b는 IVb -IVb선에 따른  
단면도이다.

<34> 본 발명에 따른 RF 반도체소자의 레이아웃도에 대해 설명하면, 도 3에 도시된 바와  
같이, 활성영역(30)상에 게이트라인(35)이 일정간격을 두고 길이방향을 따라 배열되어  
있고, 이들 게이트라인(35)사이에 다수개의 콘택홀(39)이 일정 간격을 두고 형성되어 있  
다. 여기서, 상기 다수개의 콘택홀(39)은 활성영역(30)내에만 형성되어 있다.

<35> 한편, 본 발명에 따른 RF 반도체소자의 제조방법은, 도 4a에 도시된 바와같이, 반  
도체기판(31)내에 트렌치소자분리막(33)을 형성한후 반도체기판(31)상에 게이트라인(미  
도시)을 형성한다. 이때, 도 4a의 "B"에서와 같이, 종래와 같은 게이트라인(미도시)은  
소자분리막상에 형성되지 않는다.



- <36>       그다음, 상기 게이트라인(미도시)을 포함한 반도체기판(31)상에 층간 절연막 (37)을 형성한후 이를 선택적으로 패터닝하여 상기 반도체기판(31)과 게이트라인 (35)을 노출시키는 콘택홀(39)을 형성한다. 이때, 상기 콘택홀(39)은 활성영역(30)내에만 형성된다.
- <37>       이어서, 상기 콘택홀(39)을 포함한 층간절연막(37)상에 도전성 물질층을 증착한후 이를 평탄화시켜 콘택플러그(41)를 형성한다.
- <38>       그다음, 상기 전체 구조의 상면에 도전성 물질층을 증착한후 이를 선택적으로 패터닝하여 상기 콘택플러그(41)에 접촉하는 도전층패턴(43)을 형성한다.
- <39>       한편, 도 4b에 도시된 바와같이, 상기 게이트라인(35)이 상기 활성영역(30)내에만 형성되어 있고, 상기 게이트라인(35)아래에 콘택홀(39)이 형성되어 있으며, 그 내부에 콘택플러그(41)가 채워져 상기 도전층패턴(43)과 연결되어 있다.

#### 【발명의 효과】

- <40>       상기에서 설명한 바와같이, 본 발명에 따른 RF 반도체소자의 제조방법에 의하면, 도 3에서와같이, RF MOSFET의 레이아웃도 및 설계시에 종래의 도 1의 "A"에서와 같은 트렌치소자분리막상의 프린지(fringe) 부분을 제거한다. 이 부분은 게이트 핀거(finger)당 하나씩 존재하므로 N개의 핀거(finger)를 사용할 경우 " $N \times C_{gb}$ "의 기생 캐패시터 성분을 감소시키는 효과를 나타낼 수가 있다.
- <41>       또한, 본 발명에서는, 게이트라인이 소자분리영역과 거의 중첩되어 있지 않기 때문에, "D"와 같이, 게이트 폴리과 기판간의 기생캐패시터 성분을 제거하고 게이트 저항을 낮추므로써 특히, RF 소자의 특성을 결정하는 파라미터인  $F_t$ 를 향상시킬 수 있다.

<42>        한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에  
서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식  
을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체기판내에 활성영역과 소자분리영역을 한정하는 트렌치소자분리막을 형성하는 단계;

상기 반도체기판의 활성영역내에 게이트라인을 형성하는 단계;

상기 게이트라인을 포함한 반도체기판상에 층간절연막을 형성하는 단계;

상기 층간절연막내에 콘택홀을 형성하는 단계;

상기 콘택홀내에 콘택플러그를 형성하는 단계; 및

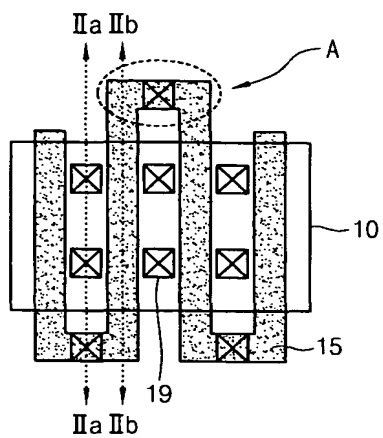
상기 콘택플러그와 접촉하는 도전층패턴을 형성하는 단계를 포함하여 구성되는 것을 특징으로하는 RF 반도체소자의 제조방법.

**【청구항 2】**

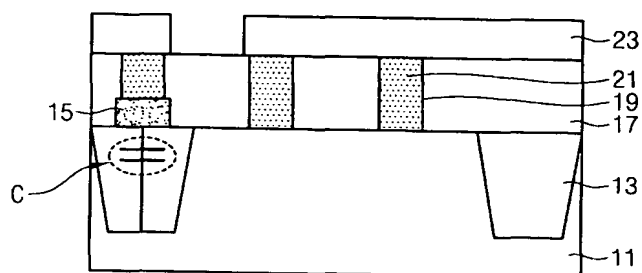
제1항에 있어서, 상기 게이트라인은 활성영역이외의 소자분리영역내에서 연결되어 있지 않는 것을 특징으로하는 RF 반도체소자의 제조방법.

## 【도면】

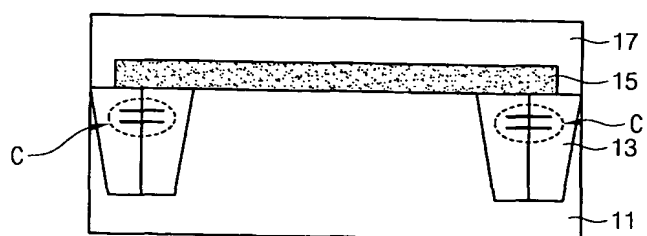
【도 1】



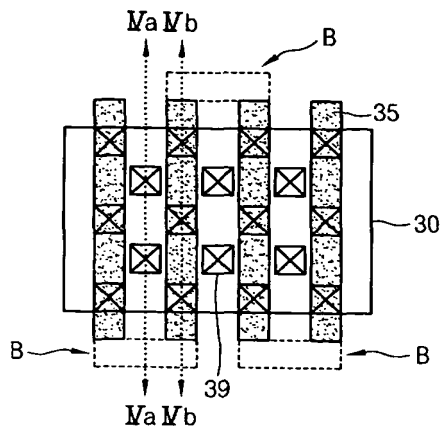
【도 2a】



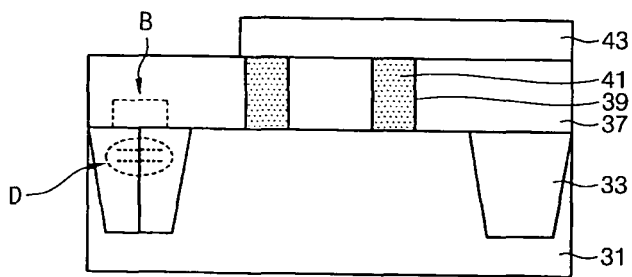
【도 2b】



【도 3】



【도 4a】



【도 4b】

